

2026 SiCADA 500 Winter Program

晶片設計即戰力速成班

➤ 課程重點：

SiCADA 的積體電路設計課程由產業專家親自指導，透過真實工作情境案例，協助學生將所學知識應用於求職過程，並強化作品集與求職競爭力。許多往屆學員憑藉課程中習得的技能，成功踏入職場。

課程核心在於「方法」的傳授，著重培養學生辨識問題根源、制定解決策略並持續優化成果的能力。寒假密集課程採用翻轉式迭代學習模式，學生先以影片學習理論，再進行實作、檢討與改進，透過短期高強度的循環，深化學習效果。

更多課程重點說明請參照：[點擊查看](#)

➤ 報名連結：[點擊報名](#)，報名期間 11/14-12/19（額滿提前關閉）

➤ 報名說明：

1. 本次課程為密集型，學員報名僅限選修一門課程。
2. 請使用學校或公司正式電子郵件報名，Gmail、Yahoo 等私人信箱將不予受理，主辦單位保留審核權利。
3. 主辦單位保有更動議程、改期或取消活動之權利。

➤ 課程規劃：

課程名稱	課程時間	課程內容與修課建議
Verilog Design Methodology	1/5-2/6	加強 Verilog 語言的基礎與邏輯設計概念，透過實作有效地將校園知識轉換為設計能力。為銜接前端設計與進階驗證課程的基礎。
Universal Verification Methodology	1/5-2/6	透過本課程學習業界先進的驗證方法以及 UVM 進階驗證架構。
SoC Frontend Implementation	1/5-2/6	將 RTL 設計實體化過程之基礎，對數位設計與前端工程職務有興趣的同學建議選修。

➤ 課程費用與折扣說明：

	項目名稱	原價	學生優惠價	在職人士優惠價
一般課程	SiCADA 500 - Verilog Design Methodology	NT\$ 48,000	NT \$16,800	NT\$36,000
	SiCADA 500 - Advanced Design Verification	NT\$ 48,000	NT \$16,800	NT\$36,000
	SiCADA 500 - SoC Frontend Implementation	NT\$ 48,000	NT \$16,800	NT\$36,000
加購項目	Career Path Consultant (1 hours) Resume Review (3 times) 6-month video review	NT \$2,000		

➤ 課程內容及時間表：

Verilog Design Methodology (4 weeks)

Date	Major Category	Sub Category	Training Hours
1/5 - 1/9	Video Training	e-Learning	17.5 hours
1/7	Lecture by Experts	HW1 Introduction Q&A Session	10 am – 11 am
1/14		HW1 Review & HW2 Introduction	10 am – 11:30 am
1/21		HW2 Review & HW3+THT Introduction	10 am – 12 pm
1/28		HW3 Review & Bonus Session	10 am - 11 am

Universal Verification Methodology (4 weeks)

Date	Major Category	Sub Category	Training Hours
1/5 - 1/8	Video Training	e-Learning	7.5 hours
1/9	Lecture by Experts	UVM Exercise Guided Lab & HW1 Introduction	9 am – 12 pm
1/15		HW2 introduction	10 am – 11 am
1/22		HW1 Online Q&A	10 am – 11 am
1/29		HW2 Online Q&A	10 am – 11 am

SoC Frontend Implementation (4 weeks)

Date	Major Category	Sub Category	Training Hours
1/5-1/9	Tool Training	e-Learning	31.5 hours
1/13	Lecture by Experts	Implementation Synthesis	2 pm – 3 pm
1/15		Implementation Synthesis	2 pm – 3 pm
1/16		Logic Equivalence Checking	2 pm – 4 pm
1/21		STA and ECO Design Closure	2 pm – 4 pm
1/22		Implementation Synthesis	2 pm – 3 pm
1/23		UPF and Low Power Design	2 pm – 4 pm
1/28		Implementation Synthesis Lab Demo	2 pm – 3 pm
1/30		Implementation Synthesis Lab Demo	2 pm – 2:30 pm

*時間表視授課實際需求可能彈性調整

➤ 上課方式 (純線上教學)：

1. E-learning & 文字 Q&A：芯知了 IC 學院 (SiCADA) 線上教學平台。
2. Guided Lab 及 Tutorial：Teams 線上會議連結。

- 學生優惠資格認定：
大專校院電機、電子、資工或工程相關科系之一般在學碩士生或博士生 (包含應屆畢業生，不含在職專班)。大四應屆畢業並確認續讀碩士班者，或碩士班應屆畢業並確認續讀博士班者亦在此列，報名時須上傳 2026 年 6 月前在學紀錄證明。
- 先備條件：
 1. 具備數位設計、數位電路或數位系統、計算機組織等相關知識。
 2. 熟悉 Unix 或 Linux 環境及相關指令，並可以在 Unix 環境下進行編輯佳。
 3. 具備 Verilog 語言和語法，編碼經驗非必須但可更有效理解課程內容。
- 修課獎勵：
完成並通過課程考核者，可享有以下獎勵：
 1. 獲頒芯知了 IC 學院結業證書，將依通過分數分別發放金、銀、銅三種不同等級的合格證書。
 2. 修課學員將有機會與新思科技以及芯知了 IC 學院夥伴廠商媒合交流，取得第一手職缺機會。
- 注意事項：
 1. 本次課程採單堂報名制，請學員依自身需求選擇最適合的課程參與。
 2. 設備需求：
 - a. 請自行準備個人電腦、耳機、麥克風等，並事先測試設備均可正常運作。
 - b. 請事先安裝 Teams 線上會議室軟體，並熟悉使用方式。
- 退費標準：
 1. 倘課程未成功開課，將退還學員所繳納之全部費用。
 2. 繳納課程費用之學員於開課第二日上課前退課者，將退還所繳課程費用之七成。
 3. 上課未逾全期三分之一而退課者，退還所繳課程費用之半數；上課逾全期三分之一而退課者，不予退費。
- 聯絡窗口：
芯知了 IC 學院 (SiCADA) 專案聯絡人 Wanda Lin (Wanda.Lin@sicada-ic.com)